

INTITULE DE LA MATIERE : **FPGA**

CODE : SEMESTRE : S7

NOM DE L'ENSEIGNANT RESPONSABLE : Fayrouz HADDAD

NOMBRE D'HEURES ENCADREES CM :6 TD :0 TP :16

NOMBRE D'HEURES DE TRAVAIL PERSONNEL DE L'ELEVE – estimation : 16

OBJECTIF GENERAL (pas plus de 10lignes) :

Présentation des notions élémentaires du langage VHDL pour pouvoir concevoir des composants numériques de base. La mise en œuvre est faite sur cible FPGA.

CONTENU – PLAN DU COURS (pas plus de 15 lignes) :

Cours : « introduction au langage VHDL » (unités de conception, instructions séquentielles et concurrentes, gestion de l'hierarchie)

Cours : « FPGA : Architecture & Flot de conception » (simulation, synthèse, placement/routage, programmation et test).

Mini-projet : Mise en œuvre d'un compteur (avec implantation et test sur carte FPGA)

FORME DE L'EVALUATION :

Contrôle continu     Contrôle terminal     Mémoire/rapport     Soutenance  
préciser si nécessaire, nombre d'épreuves : et type oral / écrit

ACQUIS DE LA FORMATION ATTENDUS, ET QUI SONT EVALUES (5 à 10 items)

- Syntaxe du VHDL pour la description des circuits numériques (Niveau 2/3)
- Description en VHDL structurel et hiérarchique par instanciation de composants (Niv. 2/3)
- Architecture des FPGA (Niv. 1/3)
- Flot de conception FPGA (Niv. 1/3)

PREREQUIS (pas plus de 5 lignes):

Logique combinatoire et logique séquentielle

REFERENCES, BIBLIOGRAPHIE (pas plus de 5 lignes) :

R. Airiau, et al., "VHDL du langage à la modélisation", Presses Polytechniques et universitaires Romandes